

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-052375

(43)Date of publication of application : 25.02.1994

(51)Int.Cl.

G06K 19/07  
G11C 5/00  
G11C 16/06

(21)Application number : 04-202644

(71)Applicant : NEC CORP

(22)Date of filing : 29.07.1992

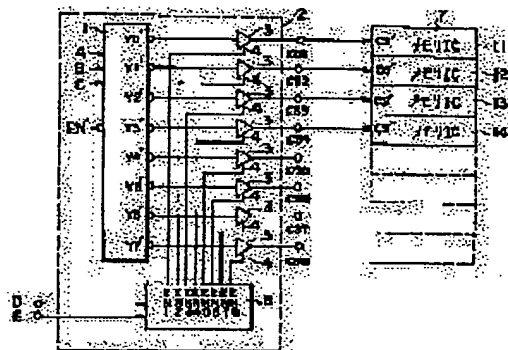
(72)Inventor : NONAKA YASUHIRO

(54) IC CARD

(57)Abstract:

**PURPOSE:** To prevent power from being wastefully consumed when the output terminal of a decoder circuit not being connected to memory is brought into contact with another output terminal, a pad, or a power source, etc., in an IC card provided with plural memory and the decoder circuit to select the memory.

**CONSTITUTION:** Three-state output buffers 3 are provided among the output terminals Y0'-Y7' of the decoder circuit 1 and among the output terminals CS1-CS8 of a decode IC 2, respectively. A decoder output control circuit 8 controls the operations of the three-state output buffers 3 based on signals inputted from input terminals D, E, and sets the output terminals CS5-CS8 not being connected to memory ICs 11-14 on the output terminals CS1-CS8 at high impedance states.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-52375

(43)公開日 平成6年(1994)2月25日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 K 19/07				
G 1 1 C 5/00	3 0 1 A	6741-5L		
16/06				
		8623-5L	G 0 6 K 19/ 00	J
		6741-5L	G 1 1 C 17/ 00	3 0 9 Z
審査請求 未請求 請求項の数3(全 5 頁)				

(21)出願番号 特願平4-202644

(22)出願日 平成4年(1992)7月29日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 野中 康広

東京都港区芝五丁目7番1号 日本電気株式会社内

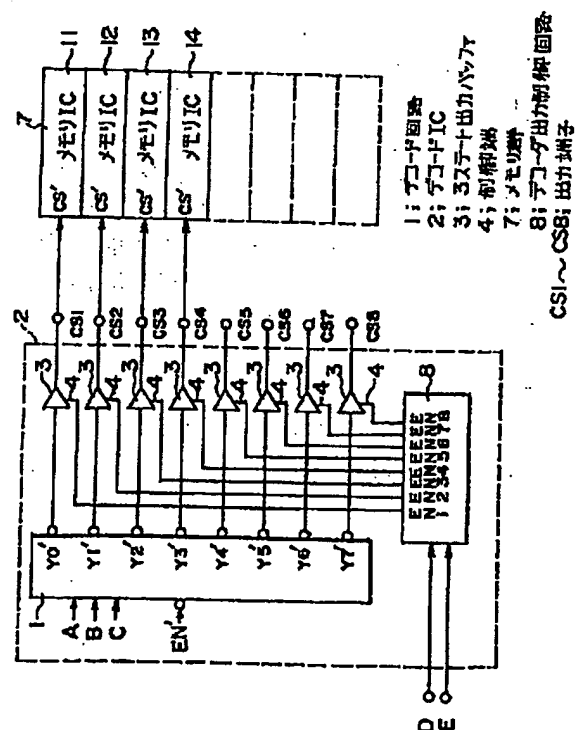
(74)代理人 弁理士 藤巻 正憲

(54)【発明の名称】 ICカード

(57)【要約】

【目的】 複数のメモリと、このメモリを選択するデコード回路とを有するICカードにおいて、メモリに接続されていないデコード回路の出力端子が他の出力端子、パッド又は電源等に接触した場合に電力が無駄に消費されることを防止する。

【構成】 3ステート出力バッファ3は、デコード回路1の出力端Y0'～Y7'とデコードIC2の出力端子CS1～CS8の間に夫々設けられている。デコード出力制御回路8は、入力端子D、Eから入力した信号に基づいて3ステート出力バッファ3の動作を制御して、出力端子CS1～CS8におけるメモリICと接続されていない出力端子CS5～CS8をハイインピーダンス状態にすることができる。



1

## 【特許請求の範囲】

【請求項1】 複数のメモリ集積回路と、デコード信号に基づいてこれらのメモリ集積回路のうちから特定のメモリ集積回路を選択するデコード回路とを有するICカードにおいて、前記デコード回路の出力端子における前記メモリ集積回路と接続されていない出力端子をハイインピーダンス状態にする制御回路を有することを特徴とするICカード。

【請求項2】 前記デコード回路と前記制御回路とを有する1つの集積回路であるデコード集積回路を有し、前記デコード集積回路は、その外部から前記制御回路に与えられた信号に基づいて前記メモリ集積回路と接続されていない出力端子をハイインピーダンス状態にすることを特徴とする請求項1に記載のICカード。

【請求項3】 前記制御回路を制御するデータを記憶する読み出し専用メモリを有することを特徴とする請求項1又は2に記載のICカード。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、デコード信号に基いて複数のメモリ集積回路のうちから特定のメモリ集積回路を選択するデコード回路を有するICカードに関する。

【0002】

【従来の技術】図5は、従来のICカードの一例を示すブロック図である。なお、この図5に示すICカードは、最大8個のメモリICを内蔵可能であるとする。

【0003】図5に示すICカードは、デコード回路1を内蔵するデコードIC52と、メモリIC11~14で構成されているメモリ群7とを有している。また、メモリ群7は、必要とするメモリ容量に応じて1個から最大8個までのメモリICを構成要素とすることができる。デコード回路1は、3ビットのデコード信号であるデコード信号A、B、Cと、1ビットの制御信号である制御信号EN'とを入力し、8つの出力端である出力端Y0'~Y7'から夫々出力信号を出力する。デコード回路1の出力端Y0'~Y7'とデコードIC52の出力端子CS1~CS8とは、夫々1対1に直接に接続されている。そして、デコードIC52の出力端子CS1~CS4は、メモリ群7におけるメモリIC11~14の各チップセレクト端CS'に1対1に接続されている。

【0004】次に、上述の如く構成された従来のICカードの動作について説明する。デコード回路1が入力するデコード信号A、B、Cは、通常、本ICカードにおけるアドレス信号の一部である。そのアドレス信号であるデコード信号A、B、Cに基づいてデコード回路1は、メモリIC11~14のうちの1つのメモリICを選択する。また、デコード回路1が入力する制御信号EN'は、メモリ群7における全てのメモリICをスタンバイ状態にする場合等に使われる。

2

【0005】図6は、デコード信号A、B、C及び制御信号EN'と出力端Y0'~Y7'の状態との関係を示すデコード回路1についての真理値表である。

【0006】

【発明が解決しようとする課題】しかしながら、上述した従来のICカードでは、デコード回路の出力信号が、デコード回路を内蔵するICの外部まで直接出力されている。このため、ICカードの記憶容量が小さくて、メモリICが接続されていないデコード回路の出力端子がある場合においても、デコード回路の出力端子の全てに必ず“ハイ”又は“ロウ”の信号が出力されている。このとき、メモリICに接続されていないデコード回路1の出力端子又はこの出力端子に接続されているメモリICを接続するためのパッドが、他の端子又はパッド等と接触してしまった場合は、電流路が形成されて無駄に電力を消費してしまう。特に、ICカードに内蔵する電池によってメモリのデータを保持している場合は、電池の寿命が短くなってしまう。

【0007】本発明はかかる問題点に鑑みてなされたものであって、複数のメモリと、このメモリを選択するデコード回路とを有するICカードにおいて、メモリに接続されていないデコード回路の出力端子が他の出力端子、パッド又は電源等に接触してしまっても、電力が無駄に消費されるのを防止することができるICカードを提供することを目的とする。

【0008】

【課題を解決するための手段】本発明に係るICカードは、複数のメモリ集積回路と、デコード信号に基づいてこれらのメモリ集積回路のうちから特定のメモリ集積回路を選択するデコード回路とを有するICカードにおいて、前記デコード回路の出力端子における前記メモリ集積回路と接続されていない出力端子をハイインピーダンス状態にする制御回路を有することを特徴とする。

【0009】なお、本願において読み出し専用メモリ（ROM）とは、紫外線による消去及び電氣的書き込みが可能なUVEPROM、1回のみ書き込みが可能なOTPROM、電氣的に書き換えが可能なE<sup>2</sup>PROM並びに、電氣的一括消去及び電氣的書き込みが可能なフラッシュ（Flash）E<sup>2</sup>PROM等の書き込み可能な読み出し専用メモリを含む。

【0010】

【作用】本発明に係るICカードにおいては、複数のメモリ集積回路と、デコード信号に基づいてこれらのメモリ集積回路のうちから特定のメモリ集積回路を選択するデコード回路とを有するICカードにおいて、制御回路は、前記デコード信号を入力することにより、デコード回路の出力端子における所定の出力端子をハイインピーダンス状態にすることができる。従って、制御回路は、メモリ集積回路と接続されていないデコード回路の出力端子をハイインピーダンス状態にすることができる。つ

まり、本発明に係るICカードは、メモリ集積回路が接続されていないデコード回路の出力端子をハイインピーダンス状態にすることができるので、これらのメモリ集積回路に接続されていないデコード回路の出力端子が他の出力端子、パッド及び電源等に接触してしまっても、ショート状態になることを防止することができる。

【0011】この場合に、前記デコード回路を内蔵する集積回路の外部から与えられた信号によりハイインピーダンス状態にする出力端子を決定してもよいし、アドレスバス及びデータバス等に基づいてハイインピーダンス状態にする出力端子を決定してもよい。また、読み出し専用メモリに書き込まれたデータに基づいてハイインピーダンス状態にする出力端子を決定してもよい。

【0012】なお、前記読み出し専用メモリとしてデータの消去及び書き込み可能なUVをPROM等を使用することにより、ハイインピーダンス状態にする出力端子を変更することができるようになる。

【0013】

【実施例】次に、本発明の実施例について添付の図面を参照して説明する。

【0014】図1は、本発明の第1の実施例に係るICカードを示すブロック図である。なお、図1において、図5に示す従来のICカードと同一の構成部には、同一符号を付してその詳しい説明を省略する。

【0015】図1に示す本第1の実施例に係るICカードにおいて、図5に示す従来のICカードと異なる構成部分は、デコードIC2における3ステート出力バッファ3とデコード出力制御回路8とが付加されている部分である。図1に示すように、デコード回路1の出力端Y0'~Y7'と、デコードIC2の出力端子CS1~CS8との間には夫々3ステート出力バッファ3が介装されている。これらの3ステート出力バッファ3の各制御端4は、デコード出力制御回路8の出力端EN1~EN8に夫々接続されている。また、デコード出力制御回路8の第1の入力端は、デコードIC2の入力端子Dに接続されており、デコード出力制御回路8の第2の入力端は、デコードIC2の入力端子Eに接続されている。

【0016】図3は、図1におけるデコード出力制御回路8の構成例を示す回路図である。図3に示すように、デコード出力制御回路8は、NOR回路31、インバータ32及びNAND回路33で構成されている。

【0017】次に、上述の如く構成された本第1の実施例に係るICカードの動作について説明する。図2は、図1における入力端子D、Eの論理レベルとデコードIC2の出力端子CS1~CS8の状態との関係を示す表である。但し、図2において、コントロール可能な場合をO、強制的にハイインピーダンスにする場合をHzで示す。デコード出力制御回路8は、入力端子D、Eから入力する信号に基づいて、図2に示す表のように出力端子CS1~CS8の状態を制御している。以下に、更に

詳しく本第1の実施例に係るICカードの動作について説明する。

【0018】3ステート出力バッファ3は、その制御端4に“ハイ”信号を印加されているときは入力をそのまま出力し、制御端4に“ロウ”信号を印加されているときは入力にかかわらず出力端がハイインピーダンス(Hz)状態になる。

【0019】入力端子Dに“ハイ”信号を印加し、入力端子Eに“ロウ”信号を印加すると、図2に示すようにデコードIC2の出力端子CS1~CS4の論理レベルは、夫々デコード回路1の出力端Y0'~Y3'の論理レベルと同じになり、出力端子CS5~CS8は強制的にハイインピーダンス状態に固定される。

【0020】これらにより、本実施例に係るICカードは、入力端子Dに“ハイ”信号を印加し、入力端子Eに“ロウ”信号を印加することによって、メモリICが接続されずにオープン状態となっている出力端子CS5~CS8をハイインピーダンス状態に固定することができる。従って、本実施例に係るICカードは、メモリICに接続されていないデコードICの出力端子が、他の出力端子、パッド又は電源等に接触してしまっても、電力が無駄に消費されることを防止できる。

【0021】図4は、本発明の第2の実施例に係るICカードを示すブロック図である。なお、図4において、図1に示すICカードと同一の構成部には、同一符号を付してその詳しい説明を省略する。

【0022】図4に示す本第2の実施例に係るICカードにおいて、図1に示す第1の実施例に係るICカードと異なる構成部分は、入力端子D、Eの代わりに書き込み可能読み出し専用メモリ43と、アドレスバス44及びデータバス45が設けられている部分である。書き込み可能読み出し専用メモリ43には、アドレスバス44及びデータバス45が接続されている。更に、書き込み可能読み出し専用メモリ43の出力端は、デコード出力制御回路8の入力端に接続されている。

【0023】次に、上述の如く構成された本実施例に係るICカードの動作について説明する。書き込み可能読み出し専用メモリ43には、アドレスバス44及びデータバス45から入力するデータに対応して、デコードIC42の出力端子CS1~CS8のうちの所定の出力端子をハイインピーダンス状態にする情報を予め記憶している。そして、デコード出力制御回路8は、書き込み可能読み出し専用メモリ43の出力信号に基づいて3ステート出力バッファ3を制御する信号を出力して、デコードIC42の出力端子CS1~CS8のうちの所望の出力端子をハイインピーダンス状態にする。

【0024】なお、書き込み可能読み出し専用メモリ43への情報の書き込みは、アドレスバス44及びデータバス45の一部を書き込み可能読み出し専用メモリ43に接続することによって、容易に実現することができる。

5

【0025】これらにより、本実施例に係るICカードは、第1の実施例に係るICカードと同様な機能を有するとともに、入力端子D、Eが不要となる分だけ端子数を削減することができる。

【0026】

【発明の効果】以上説明したように本発明に係るICカードによれば、複数のメモリ集積回路と、デコード信号に基づいてこれらのメモリ集積回路のうちから特定のメモリ集積回路を選択するデコード回路とを有するICカードにおいて、前記メモリ集積回路が接続されてなくオープン状態となっているデコード回路の出力端子をハイインピーダンス状態にすることができるので、これらの出力端子が他の出力端子、パッド又は電源等に接触してしまっても、ショート状態になることを防止して電力が無駄に消費されることを防止できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係るICカードを示すブロック図である。

6

【図2】図1における入力端子D、Eの論理レベルとデコードIC2の出力端子CS1～CS8の状態との関係を示す表である。

【図3】図1におけるデコーダ出力制御回路8の構成例を示す回路図である。

【図4】本発明の第2の実施例に係るICカードを示すブロック図である。

【図5】従来のICカードの一例を示すブロック図である。

【図6】図5におけるデコード回路1の真理値表である。

【符号の説明】

1；デコード回路

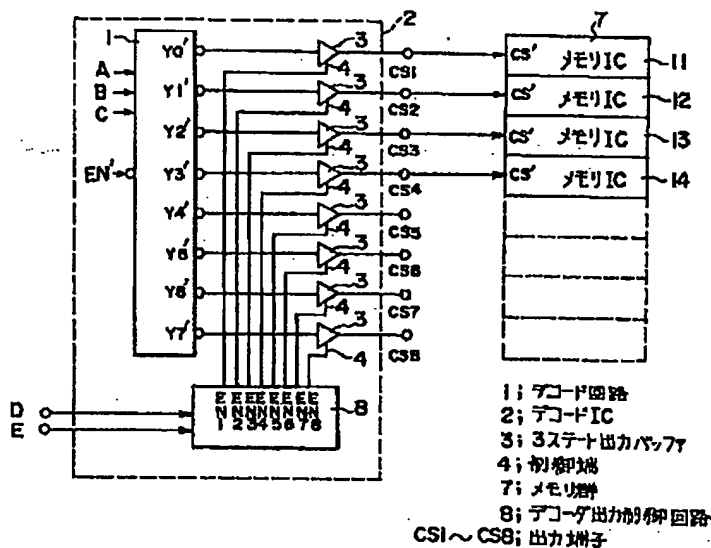
2；デコードIC

3；3ステート出力バッファ

7；メモリ群

8；デコーダ出力制御回路

【図1】

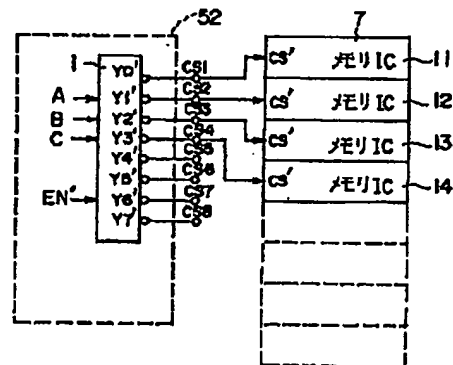


【図2】

D	E	CS1	CS2	CS3	CS4	CS5	CS6	CS7	CS8
H	H	O	H <sub>z</sub>	H <sub>z</sub>	H <sub>z</sub>	H <sub>z</sub>	H <sub>z</sub>	H <sub>z</sub>	H <sub>z</sub>
L	H	O	O	H <sub>z</sub>	H <sub>z</sub>	H <sub>z</sub>	H <sub>z</sub>	H <sub>z</sub>	H <sub>z</sub>
H	L	O	O	O	H <sub>z</sub>	H <sub>z</sub>	H <sub>z</sub>	H <sub>z</sub>	H <sub>z</sub>
L	L	O	O	O	O	O	O	O	O

【図5】

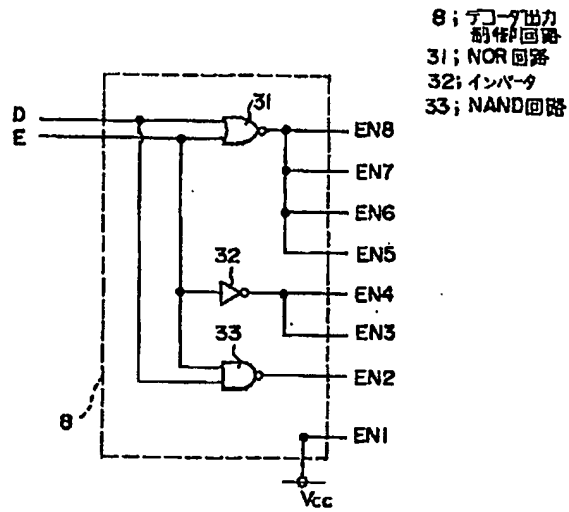
1；デコード回路  
7；メモリ群  
52；デコードIC  
CS1～CS8；出力端子



【図6】

A	B	C	EN	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	0	0
0	0	1	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0	0	0	0	0
1	1	1	1	0	0	0	0	0	0	0	0
x	x	x	x	0	0	0	0	0	0	0	0

【図3】



【図4】

